

Japanese Unexamined Utility Model Application Publication No.
5-73947

Publication Date: October 8, 1993

Application No.: 4-11847

Application Date: March 10, 1992

Applicant: 000237444

RIVER ELETEC KABUSHIKI KAISHA

2-1-11, Fujimigaoka, Nirasaki-shi, Yamanashi-ken

Title of the Invention:

IC CHIP MOUNTING STRUCTURE

[Abstract]

[Object] To improve mass-producibility, yield, and
reliability.

[Structure]

A wiring pattern 2 is formed on a first substrate 1. A second substrate 4 has a hole 6 formed therein. The hole has a shape which substantially coincides with the configuration of an IC chip 5 which is to be mounted on the first substrate 1 at a predetermined position. The second substrate 4 and the first substrate 1 are superposed to form a laminate structure. The resultant laminate structure therefore has a recess which is positioned on the first substrate 1 and which has a shape substantially coinciding with the configuration of the IC chip 5. Connecting means generally known as a "bump", denoted by 9, is formed on the

lower side of the IC chip 5. This IC chip 5 is mounted in the recess formed by the hole 6, whereby the IC chip 5 is located at a proper position on the first substrate 1. The IC chip 5 is electrically connected to the wiring pattern 2 through the bump 9, whereby a connection is achieved between the IC chip 5 and external electrodes 3 and connecting terminals 8.

(19)日本国特許庁 (J P)

(12) 公開実用新案公報 (U)

(11)実用新案出願公開番号

実開平5-73947

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.⁵

H 0 1 L 21/60

識別記号

3 1 1 S

庁内整理番号

6918-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 2 頁)

(21)出願番号 実願平4-11847

(22)出願日 平成4年(1992)3月10日

(71)出願人 000237444

リバーエレテック株式会社

山梨県韮崎市富士見ヶ丘2丁目1番11号

(72)考案者 小尾 茂樹

山梨県韮崎市富士見ヶ丘2-1-11 リバ
ーエレテック株式会社内

(72)考案者 芦沢 英紀

山梨県韮崎市富士見ヶ丘2-1-11 リバ
ーエレテック株式会社内

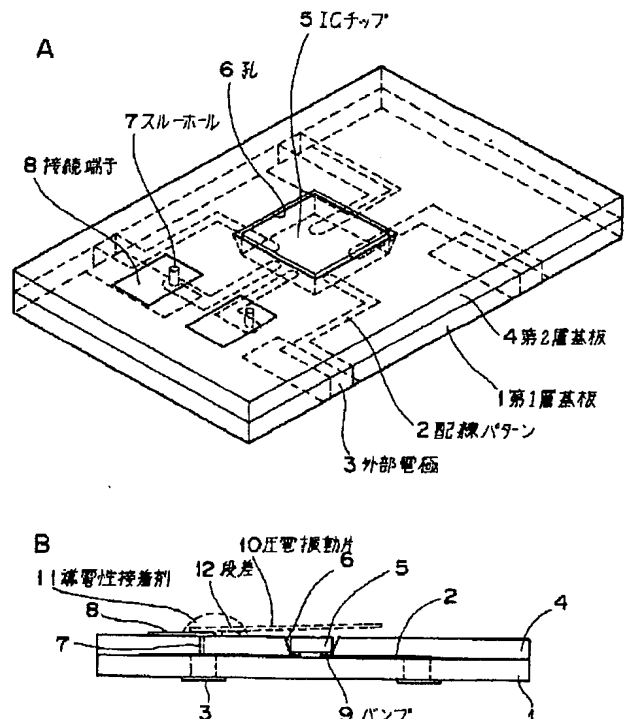
(74)代理人 弁理士 松隈 秀盛

(54)【考案の名称】 ICチップの搭載構造

(57)【要約】

【目的】 量産性向上や、歩留り、信頼性等の問題を解消する。

【構成】 第1層基板1上には配線パターン2が形成される。また第2層基板4には、第1層基板1の所定位置に搭載されるICチップ5の外形に概ね一致する形状の孔6が設けられ、この第2層基板4と第1層基板1が積層構造とされる。この積層構造によって、第1層基板1上にICチップ5の外形に概ね一致する形状の凹部が形成される。またICチップ5の下面にはバンプ9と呼ばれる接続手段が形成され、このICチップ5が孔6によって形成される凹部に搭載される。これによってこの凹部に搭載されたICチップ5は第1層基板1の所定位置に搭載される。そしてこのICチップ5と配線パターン2とがバンプ9を通じて接続され、ICチップ5と外部電極3及び接続端子8とが接続される。



1

【実用新案登録請求の範囲】

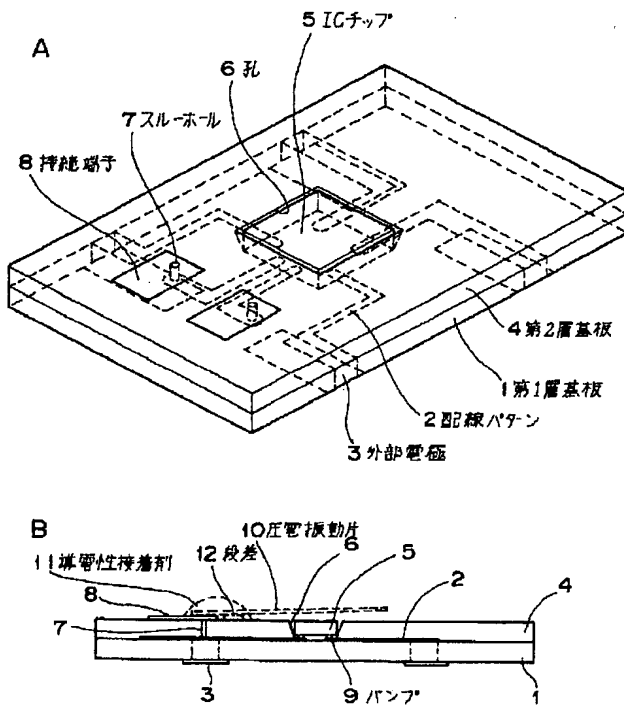
【請求項 1】 配線パターンが形成され、所定位置に I Cチップの搭載される第 1 層基板と、上記所定位置に搭載される I Cチップの外形に概ね一致する形状の孔の設けられた第 2 層基板との積層構造からなり、この積層構造によって形成される凹部に上記 I Cチップを、バンプを形成後フェースダウンにて上記第 1 層基板に形成された配線パターンに直接接続搭載するようにした I Cチップの搭載構造。

【図面の簡単な説明】

【図 1】 本考案による I Cチップの搭載構造の一例の構成図である。

【図 2】 従来の I Cチップの搭載構造の構成図である。

【図 1】

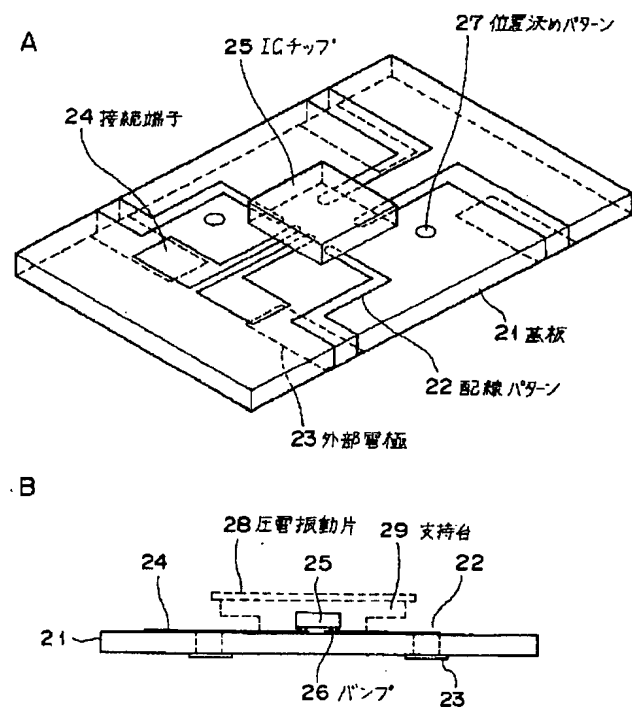


2

【符号の説明】

- 1 第 1 層基板
- 2 配線パターン
- 3 外部電極
- 4 第 2 層基板
- 5 I Cチップ
- 6 孔
- 7 スルーホール
- 8 接続端子
- 9 バンプ
- 10 圧電振動片
- 11 導電性接着剤
- 12 段差

【図 2】



【考案の詳細な説明】

【0001】

【産業上の利用分野】

本考案は、表面実装型の圧電発振器等に用いられるＩＣチップの搭載構造に関するものである。

【0002】

【従来の技術】

ＩＣチップ（ＩＣベアチップ）を基板に搭載する場合に、ＩＣチップと基板上の配線パターンとの接続は、従来はワイヤーボンディングを用いて行われていた。しかしながらこの方法では、基板上にＩＣチップに加えてワイヤー用のスペースが必要になり、例えば表面実装型の回路素子では小型化の障害になっていた。

【0003】

これに対してＩＣチップにバンプと呼ばれる接続手段を形成して、このバンプの形成されたＩＣチップを基板上の配線パターンの所定位置に搭載することによって、ＩＣチップと配線パターンとの接続を行う方法（フリップチップ）が提案されている。

【0004】

すなわち図２のＡ、Ｂはそのようなフリップチップの構造の一例を示す斜視図及び断面図である。この図において、２１はセラミック等で形成された基板であって、この基板２１上には配線パターン２２が形成される。この配線パターン２２は例えば図示のように基板２１の裏面の外部電極２３に接続される。さらに基板２１の表面には配線パターン２２を通じて他の素子やコネクタ等への接続端子２４が設けられる。

【0005】

また２５はＩＣチップであって、このＩＣチップ２５の下面にはバンプ２６と呼ばれる接続手段が形成される。そしてこのＩＣチップ２５が配線パターン２２の所定位置に搭載されることによって、ＩＣチップ２５と配線パターン２２とがバンプ２６を通じて接続される。これによってＩＣチップ２５と外部電極２３及び接続端子２４とが接続される。

【0006】

ところでこのようなフリップチップの構造において、ICチップ23を搭載する場合には、従来は次のような方法が行われている。すなわち例えば基板21上に画像認識用の位置決めパターン27を設ける。この位置決めパターン27を画像認識装置等で認識し、ICチップ25に設けられたバンプ26が配線パターン22の所定位置に接続するように搭載を行う。

【0007】

このため従来のフリップチップの構造では、搭載を行う装置に高精度の画像認識装置等が必要になり、大掛かりな装置が必要になっていた。また搭載の作業時間が長くなり、量産性向上の障害になっていた。

【0008】

また従来の構造では、ICチップ25の搭載後、このICチップ25が基板21に固定されるまでの間に、例えば搬送時の振動等によってICチップ25と配線パターン22の位置がずれてしまう恐れがあった。

【0009】

さらに従来の構造では、ICチップ25が基板21から突出して設けられている。従ってこの上に圧電振動片28等を配置する場合には、図中に破線で示すようなICチップ25の厚み以上の支持台29等の保持機構が必要になる。このためこの支持台29等の形成のための製造工程が必要になる。また圧電振動片28等の取り付け後は基板21からの高さが高くなるために、工程中での接触破損等による歩留りの低下や、信頼性の劣化等の問題を生じていた。

【0010】

【考案が解決しようとする課題】

解決しようとする問題点は、従来の構造では搭載に大掛かりな装置が必要になり、また量産性向上の障害や、歩留りの低下、信頼性の劣化等の問題を生じていたというものである。

【0011】

【課題を解決するための手段】

本考案は、配線パターン2が形成され、所定位置にICチップ5の搭載される

第1層基板1と、上記所定位置に搭載されるICチップの外形に概ね一致する形状の孔6の設けられた第2層基板4との積層構造からなり、この積層構造によって形成される凹部に上記ICチップを、バンプ9を形成後フェースダウンにて上記第1層基板に形成された配線パターンに直接接続搭載するようにしたICチップの搭載構造である。

【0012】

【作用】

これによれば、凹部にICチップを搭載することによって振り込み等の極めて簡単な搭載が可能になり、量産性向上や、歩留り、信頼性等の問題を解消することができる。

【0013】

【実施例】

図1のA、Bは本考案によるフリップチップの構造を示す斜視図及び断面図である。この図において、1はセラミック等で形成された第1層基板であって、この第1層基板1上には配線パターン2が形成される。この配線パターン2は例えば図示のように第1層基板1の裏面の外部電極3に接続される。

【0014】

また4はセラミック等で形成された第2層基板であって、この第2層基板4には、第1層基板1の所定位置に搭載されるICチップ5の外形に概ね一致する形状の孔6が設けられている。さらに第2層基板4の表面には第1層基板1の配線パターン2とスルーホール7を通じて接続される接続端子8が設けられる。この第2層基板4と第1層基板1が積層構造とされる。この積層構造によって、第1層基板1上にICチップ5の外形に概ね一致する形状の凹部が形成される。

【0015】

またICチップ5の下面にはバンプ9と呼ばれる接続手段が形成される。このICチップ5が孔6によって形成される凹部に搭載される。ここで孔6は第1層基板1の所定位置に搭載されるICチップ5の外形に概ね一致する形状となっている。従ってこの凹部に搭載されたICチップ5は第1層基板1の所定位置に搭載される。そしてこのICチップ5と配線パターン2とが、バンプ9を通じてフ

エースダウンにて直接接続され、これによってICチップ5と外部電極3及び接続端子8とが接続される。

【0016】

すなわち上述の構造において、ICチップ5の搭載位置がこのICチップ5の外形と孔6の内壁によってガイドされる。ここで孔6の内壁の工作精度が充分に高くされており、これによってICチップ5は充分な精度で第1層基板1の所定位置に搭載される。なお孔6の形状は図示のようにテーパを設けてもよいが、テーパは無くてもよい。

【0017】

従って従来必要とされた位置決めパターンを認識するための画像認識装置等が不要になり、振り込み等の極めて簡単な搭載が可能になって、搭載装置の簡略化、搭載時間の短縮、量産性の向上等を可能にすることができる。

【0018】

また上述の構造によれば、ICチップ5の搭載後は凹部（孔6）によって搭載位置が固定されるので、接着剤またはバンプ9の接続によって固定されるまでの間も、例えば搬送時の振動等によってICチップ5と配線パターン2の位置がずれてしまう恐れがなく、良好な固定を行うことができる。

【0019】

さらに上述の構造によれば、第2層基板4の表面は略平坦となる。従ってこの上に圧電振動片10等を配置する場合には、図中に破線で示すように第2層基板4の表面に直接設けることができる。

【0020】

すなわち例えば圧電振動片10の一端の電極を接続端子8に接続して導電性接着剤11等で固定すると共に、この接続端子8の近傍に段差12を設ける。これによって圧電振動片10の他端が第2層基板4の表面から離間され、自由端とされて良好な圧電振動片10の配置を行うことができる。

【0021】

従って圧電振動片10等の配置に際しても特別な製造工程等を設ける必要が無い。また圧電振動片10等の取り付け後も第2層基板4の表面からの高さが余り

変化しないので、工程中での接触破損等による歩留りの低下や、信頼性の劣化等の恐れも減少させることができる。

【0022】

こうして上述の構造によれば、凹部（孔6）にICチップ5を搭載することによって振り込み等の極めて簡単な搭載が可能になり、量産性向上や、歩留り、信頼性等の問題を解消することができるものである。

【0023】

なお従来、積層基板の凹部にICチップを搭載しワイヤーボンディングにてICチップと基板上の配線パターンとの間を接続する方法は知られている。しかしながらこの場合にワイヤーの高さが生じ、特にこの上に圧電振動片等を配置する場合に支持台等の保持機構が必要になる。このためこの支持台等の形成の製造工程が必要になり、また工程中での接触破損等による歩留りの低下や、信頼性の劣化等の問題を生じていた。

【0024】

本考案はこのような積層基板にフリップチップの手法を組み合わせ、また凹部（孔6）の形状を定めることによって振り込み等の極めて簡単な搭載を可能にし、さらに圧電振動片10等を段差12を用いて第2層基板4上に直接配置することによって、量産性向上や、歩留り、信頼性等の問題を解消したICチップの搭載構造を提供するものである。

【0025】

また以上の説明では、第1層基板1、第2層基板4共にセラミックで形成した場合を述べたが、セラミック以外の材料を用いた積層基板に対しても実施可能であることはいうまでもない。

【0026】

【考案の効果】

この考案によれば、凹部にICチップを搭載することによって振り込み等の極めて簡単な搭載が可能になり、量産性向上や、歩留り、信頼性等の問題を解消することができるようになった。